

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-167795

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)7月3日

G 09 G 3/36
G 01 R 31/00
G 02 F 1/133

3 2 6

8621-5C
7905-2G
7370-2H

審査請求 未請求 発明の数 1 (全8頁)

⑮ 発明の名称 表示パネル用アクティブマトリックス基板の試験方法

⑯ 特 願 昭62-325970

⑰ 出 願 昭62(1987)12月23日

⑱ 発 明 者 田 辺 英 三 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑲ 発 明 者 小 松 純 一 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑳ 出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

㉑ 代 理 人 弁理士 山口 巖

明 細 書

1. 発明の名称 表示パネル用アクティブマトリックス基板の試験方法

2. 特許請求の範囲

1) 行列状に配列された画素電極のそれぞれと所定方向に並ぶ画素電極に対して共通に設けられた走査電極との間に表示駆動用に駆動素子が接続されてなるアクティブマトリックス基板を試験する方法であって、アクティブマトリックス基板の画素電極に対応してそれと容量結合可能な結合電極が配列された結合用基板と、アクティブマトリックス基板の画素電極に対応して表示用の画素が配列された試験用表示パネルと、画素を順次切換走査可能な走査手段とを用い、結合用基板をアクティブマトリックス基板と重ね合わせて結合用基板の結合電極とアクティブマトリックス基板の画素電極とを容量結合し、かつアクティブマトリックス基板側の画素電極を一方の電極とする結合容量およびその画素電極に対応する駆動素子を走査電極および結合用基板の結合電極を介して試験用表示

パネル側の対応画素に対する1対の表示電極に直列に接続した状態で該直列回路を走査手段により走査しながら順次それに試験電圧を印加し、この際に試験用表示パネル側の各画素に現われる表示の状態からそれに対応するアクティブマトリックス基板側の各画素の良否を判定するようにしたことを特徴とする表示パネル用アクティブマトリックス基板の試験方法。

2) 特許請求の範囲第1項記載の試験方法において、結合用基板の結合電極がアクティブマトリックス基板の走査電極とは直角な方向に並ぶ画素電極に対して共通に設けられたことを特徴とする表示パネル用アクティブマトリックス基板の試験方法。

3) 特許請求の範囲第1項記載の試験方法において、試験用表示パネルの画素を構成する1対の表示電極がそれぞれ行および列方向に並ぶ画素に対して共通に設けられたことを特徴とする表示パネル用アクティブマトリックス基板の試験方法。

4) 特許請求の範囲第1項記載の試験方法において、走査手段により結合用基板と重ね合わされたアク

ティブマトリックス基板および試験用表示パネルの行、列いずれか一方に並ぶ画素が一斉に走査されるようにしたことを特徴とする表示パネル用アクティブマトリックス基板の試験方法。

5) 特許請求の範囲第1項記載の試験方法において、試験電圧値がアクティブマトリックスの短絡欠陥の有無を試験するか断線欠陥の有無を試験するかに応じて調整されることを特徴とする表示パネル用アクティブマトリックス基板の試験方法。

6) 特許請求の範囲第1項記載の試験方法において、アクティブマトリックス基板の駆動素子がダイオードであり、試験電圧として正負の極性が切り換わる電圧が用いられることを特徴とする表示パネル用アクティブマトリックス基板の試験方法。

7) 特許請求の範囲第6項記載の試験方法において、試験電圧の正負の切り換わり周波数が走査手段により走査の切り換え周波数よりも高く選定されることを特徴とする表示パネル用アクティブマトリックス基板の試験方法。

3. 発明の詳細な説明

された正負両方向のダイオード50p, 50nを組み込んだアクティブマトリックス100を示すもので、その面内には外輪郭がほぼ方形の画素電極11, 12, 21, 22等が図示のように行列状に配置され、図では行方向に並ぶ画素電極に対して共通に走査電極31, 32等が設けられており、駆動素子51は各画素電極と走査電極との間に接続される。走査電極31等はいわば垂直走査電極であって、これに対応する水平走査電極は表示パネルを構成するもう一方の基板上に列方向に並ぶ画素電極11, 21等に共通に画素電極と同じ幅をもつ条の形状で設けられる。表示パネルに表示をさせるには、これら両基板上の走査電極を水平、垂直両方向に走査しながら表示電圧を掛ければよく、この走査中に選択された両走査電極の交点に対応する画素に表示がなされる。

第5図のアクティブマトリックス基板100には、3端子の駆動素子として電界効果トランジスタ52が組み込まれており、画素電極11, 12, 21, 22等が行列状に配列されるのは同じであるが、垂直走査

(産業上の利用分野)

本発明は液晶表示パネル等のアクティブマトリックス基板、すなわち行列状に配列された画素電極のそれぞれと所定方向に並ぶ画素電極に対して共通に設けられた走査電極との間に表示駆動用に駆動素子が接続されたアクティブマトリックス基板を、表示パネルに組み立てる前に単独で試験する方法に関する。

(従来の技術)

よく知られているように液晶表示パネル等を大面積化ないしは高表示密度化するためにその画素数を増加させる場合、その各画素の表示駆動素子としてトランジスタ、ダイオードなどの非線形素子をその面内に分布させて組み込むアクティブマトリックス方式が有利であり、比較的小面積のものから実用化が進みつつある。この駆動素子として2端子素子と3端子素子とがあり、それらを組み込んだアクティブマトリックス基板の等価回路を第4図および第5図に示す。

第4図は2端子の駆動素子51として逆並列接続

電極31, 32等のほかに水平走査電極41, 42等が設けられ、電界効果トランジスタ52のドレイン・ソース間が各画素電極11等と水平走査電極41等との間に接続され、そのゲートは垂直走査電極31等に接続される。表示パネルのもう一方の基板上にはその面をほぼ覆う対向電極が設けられる。表示に当たっては両走査電極を水平、垂直両方向に走査しながら水平走査電極41等と対向電極との間に所定の電圧を掛け垂直走査電極に表示信号を与えればよい。

以上のいずれの場合にも、アクティブマトリックス基板100と表示パネルのもう一方の基板との間の液晶等が封入される間隙は例えば10ミクロン程度の微小間隙なので、2端子、3端子いずれの駆動素子にも薄膜のもの、例えば2端子素子には非晶質シリコンの薄膜ダイオードやMIM(金属-絶縁体-金属)の薄膜素子が、3端子素子には非晶質シリコンの薄膜トランジスタが用いられ、その高さが1~2ミクロン、大きさが数ミクロンから十数ミクロンの微小なものである。アクティ

マトリックス基板101のかかる駆動素子、画素電極や走査電極用の電極膜および駆動素子を電極膜と接続するための金属膜は、それぞれを全面被着ないしは成長させた上でフォトリソエッチングすることによって作り込まれ、アクティブマトリックス基板の製作時には全部で数回のフォトリソエッチングを施す必要がある。従ってこのフォトリソエッチング時のフォトリソマスク合わせの精度やプロセス条件に変動があると、表示パネル面内の多数の画素中の若干に欠陥がとくにその駆動素子周りで発生しやすい。大形の表示パネルでは画素が例えば400行、640列に配列されるので、白黒表示の場合でも25万個、カラー表示の場合はその3倍もの画素をアクティブマトリックスに作り込む必要がある。一方、フォトリソエッチング条件をよく管理しても、現在では欠陥発生率を 10^{-5} 以下に抑えることはまだ困難なので、1枚の大形のアクティブマトリックス基板内に数個ないしは数十個の欠陥画素が発生する可能性がある。この欠陥としては駆動素子や電極間の短絡および駆動素子の断線がその主なもので

ある。

このようにアクティブマトリックス基板内に若干の欠陥が発生することは今の所ほとんど不可避なので、その完成時に欠陥数が許容限以内かどうかを試験をする必要がある。アクティブマトリックス基板を表示パネルに組み立ててしまってから表示試験をすれば簡単に欠陥を検出できるが、このためにはアクティブマトリックス基板を相手基板と相互接着して両基板間に表示媒体を封入してやる必要があり、組み立て後にアクティブマトリックス基板が不良と判明しても全体を廃棄するしかなく、組み立ての手間もむだになってしまうからである。従ってアクティブマトリックス基板の試験はその表示パネルへの組み立て前の単独の状態で行うことが合理的である。この試験に当たってもっとも厄介なのは各画素電極に試験電圧を掛けなければならないことであって、このため最も簡単には第4図に示すように探針61を各画素電極11等に接触させた状態で、一括接続された走査電極31等との間に試験電圧Eを掛けて、そのときに流れ

る電流を測定装置63により検出して、その大小によって各画素の短絡欠陥や断線欠陥の有無を判定する。しかし、これでは探針61を逐次各画素電極に接触させなければならないので、その移動を自動化したとしても移動時間の合計が非常に長くなってしまう。そこで、第5図に示すように探針61を多数個備えた可動治具60を用いて、例えば図のように列方向に並ぶ画素電極に探針61を一斉に接触させた状態で、電子式の切換スイッチ64によって探針61を切り換えながら試験を進める。もちろん、1列に並ぶ画素の試験が終わった後は可動治具60を次の列に移動させて同様の試験を繰り返す。

(発明が解決しようとする問題点)

上の第5図の従来の試験方法は第4図の方法に比べて探針の移動に要する時間を大幅に短縮できるが、それでもなお大形のアクティブマトリックス基板では試験に長時間を要する問題がある。この原因は前述のように各駆動素子が微小なもので正規の電流値が $10^{-7} \sim 10^{-10}$ Aと微弱なので、画

素あたりの試験時間をあまり短縮できない点にある。もちろん、測定装置63としては微小電流検出用の精密なものが必要で、その電流検出値から画素の欠陥の有無を正確に判定するには、判定を自動化しても最小の時間を要するからである。このため、判定を自動化しかつ切換スイッチ64に動作速度の早いものを用いても、欠陥の有無の正確な判定には画素あたり0.1～0.2秒を要する。いま、この時間を仮に0.1秒/画素、アクティブマトリックス基板あたりの画素数を25個とし、可動治具60の移動に要する時間を無視しても、アクティブマトリックス基板1枚の試験に要する時間は7時間にもなる。

もう一つの問題は探針61と画素電極との接触が必ずしも確実でないことである。高表示密度の表示パネルでは、画素電極の配列ピッチが0.2mm前後であるから探針には極細の金属線が用いられ、これが可動治具に400個程度並べられるわけであるが、全部の探針を均一に画素電極に接触させることは容易でなく、些少なことで探針の曲がりや

折損も発生しやすい。このため、探針を利用する従来の試験方法では欠陥の有無の誤判定を完全になくすることが困難である。

本発明はかかる従来の試験方法がもつ問題点を解消して、アクティブマトリックス基板を短時間内にかつ正確に試験をすることができる実用的な方法を提供することを目的とする。

(問題点を解決するための手段)

本発明は、冒頭記載のように行列状に配列された画素電極のそれぞれと所定方向に並ぶ画素電極に対して共通に設けられた走査電極との間に表示駆動用に駆動素子が接続されたアクティブマトリックス基板の試験に、アクティブマトリックス基板の画素電極に対応してそれと容量結合可能な結合電極が配列された結合用基板と、アクティブマトリックス基板の画素電極に対応して表示用の画素が配列された試験用表示パネルと、画素を順次切換走査可能な走査手段とを用い、結合用基板をアクティブマトリックス基板と重ね合わせて結合用基板の結合電極とアクティブマトリックス基板

の画素電極とを容量結合し、かつアクティブマトリックス基板側の画素電極を一方の電極とする結合容量およびその画素電極に対応する駆動素子を走査電極および結合用基板の結合電極を介して試験用表示パネル側の対応画素に対する1対の表示電極に直列に接続した上で、直列回路を走査手段により走査しながら順次それに試験電圧を印加して試験用表示パネル側の各画素に現われる表示の状態からそれに対応するアクティブマトリックス基板側の各画素の良否を判定する方法によって、上述の目的の達成に成功したものである。

(作用)

本発明では、従来のように測定装置による電流測定結果から各画素の欠陥の有無を判定することをやめ、そのかわりに上記構成にいう試験用表示パネルにアクティブマトリックス基板内の画素に対応する表示を一斉にさせて、この表示状態からアクティブマトリックス基板側の対応画素の良否を判定できるようにする。この試験用表示パネル上の表示は試験開始のごく短時間後のいわば一瞬

の内に現われ、しかも全画素の表示が同時になされる。アクティブマトリックス基板のある画素に短絡欠陥や断線欠陥があるとき、試験用表示パネルの対応画素の表示は例えば異常に明るくあるいは暗くなるので、その画素の欠陥の有無と種別とを目視等によりごく簡単に判別できる。また、1枚のアクティブマトリックス基板に許容される欠陥数はふつう10個前後であるから、明らかに良または不良のアクティブマトリックス基板は一見してその旨を判定することができ、欠陥数を正確に数えても数秒以内にアクティブマトリックス基板の良否を判定することができる。

さらに本発明では、従来のように画素電極に探針を接触させることにより画素電極を試験回路に接続するかわりに、前記の構成にいう結合用基板を用いてその結合電極をアクティブマトリックス基板の画素電極に容量結合させることにより画素電極を試験回路に結合する。これにより、アクティブマトリックス基板内のすべての画素電極は同時に試験回路に結合され、かつこの結合の無接触

性により回路結合の信頼性が高まり欠陥の有無の判定が正確になる。

(実施例)

以下、図を参照しながら本発明の実施例を説明する。

第1図において、図の左側には試験すべきアクティブマトリックス基板100が太線で示されており、この実施例ではその駆動素子50はダイオード等の2端子素子であって、行方向に並ぶ画素電極10に対して共通に設けられた走査電極30と画素電極10との間に接続されている。図では結合用基板110がこのアクティブマトリックス基板100と重ね合わされた状態で細線で示されており、図からわかるようにこの例では結合用基板100の結合電極112は図の上下方向に細長に形成されて、アクティブマトリックス基板100の列方向に並ぶ画素電極10に対して共通に設けられている。この重なり合いの状態は図のX-X矢視断面である第2図により明瞭に示されている。第2図は自動マスク合わせ装置等を利用してアクティブマトリックス

基板100と結合用基板110とを重ね合わせた状態を示すもので、マスク合わせ装置の下側治具160の上面の凹みに試験すべきアクティブマトリックス基板100のガラス基板1が画素電極10を上側にして嵌め込まれる。結合用基板110はガラス基板111の表面上に結合電極112として金属膜や画素電極と同じ材質の例えばITO(インジウム・錫酸化物)の0.1ミクロン程度薄膜を付けたもので、その幅は図からわかるように画素電極10の幅と同程度にされる。この結合用基板110はマスク合わせ装置の上側治具170の下面の凹みにガラス基板111を嵌め込み、かつ抑え171等の手段で止めることにより、あらかじめ上側治具170に結合電極112を下に向けて取り付けられている。重ね合わせに際しては、例えば上部治具170の方を矢印Dのように下方に下げ、かつ矢印Mに示すように通常のマスク合わせ時と同様にアクティブマトリックス基板のガラス基板1上のマーキングに結合用基板のガラス基板111上のマーキングを合わせるように前後、左右方向の位置を自動調整する。ア

150を介してそれぞれ接続されている。一方、アクティブマトリックス基板100の各走査電極30は本発明における走査手段200を構成する走査スイッチ201を介して共通線203に接続され、同様に試験用表示パネル140の基板120の各表示電極121は走査スイッチ202を介して共通線204に接続されている。これらの走査スイッチ201,202は例えばいずれも図示のように電界効果トランジスタで構成され、互いに対応するアクティブマトリックス基板の走査電極30と試験用表示パネルの表示電極121とにそれぞれ接続された左右方向に並ぶ電界効果トランジスタ201,202はそれらのゲートが図示のように共通接続され、走査指令S1~Snによって順次左右2個ずつ同時に開閉される。

共通線203,204間には試験電圧Eが与えられるのであるが、この例ではアクティブマトリックス基板の駆動素子50が2個の正負両方向のダイオードで構成されるものとして、試験電圧Eの極性を周期的に切り換える切換スイッチ205が設けられており、切換信号CSの0,1の状態に応じて共通

クティブマトリックス基板100と結合用基板110との間隔はストッパ172の高さによって一定に保たれる。画素電極10と結合電極112との間隔は5~10ミクロン程度にするのがよい。これによって各画素電極10と結合電極112とが容量結合されるが、この結合容量を極力大きくするために結合電極の表面を3~5ミクロンの厚みに誘電体膜113で覆うことができる。ちなみに、アクティブマトリックス基板100側の駆動素子50の高さはふつう2ミクロン以下である。

第1図に戻って、図の右側に示された試験用表示パネル140はこの実施例は通常のアクティブマトリックス方式でない液晶表示パネルであって1対の基板120,130からなり、図では基板120が太線で、基板130が細線で示されている。この試験用表示パネル140はアクティブマトリックス基板の画素と同数の画素を有し、基板120の表示電極121は行方向に細長に形成され、基板130の表示電極131もこの例では列方向に細長に形成されて、結合用基板110の対応する結合電極112と接続線

線203,204に与える試験電圧Eの正負の極性が切り換えられる。この切換信号CSはクロックパルスCPを受ける分周器ないしはカウンタ206の中段から取られており、このカウンタ206の終段からその下に示されたシフトレジスタ207に対するシフトパルスSPが取られる。シフトレジスタ207はその各段から走査指令S1~Snが取り出されるn段の構成のもので、その内の1段だけに1のデータが入っていてその終段からの出力が初段のデータ入力に戻される。従ってシフトパルスSPを受けるつど、その段出力である走査指令S1~Snが順次1になって左右の走査スイッチ対201,202を同時に開操作する。前述の切換スイッチ205に対する切換信号CSはカウンタ206のシフトパルスSPが取られるよりは前の段から取られているので、この実施例では走査指令S1等が取り換わる周波数よりも高い周波数で共通線203,204に乗せられる試験電圧Eの極性が切り換えられる。この周波数の比はふつう4以上とするのがよい。

第3図はある走査スイッチ対201,202が同時に

閉操作されたときに形成される試験回路を示すもので、図では共通線203,204間に正負に極性が切り換わる試験電圧Eが電源210から与えられるものとしてあり、第1図に対応する部分には同符号が付されている。図からわかるように、アクティブマトリックス基板側の駆動素子50およびその画素電極10と結合用基板の結合電極112との間に形成される結合容量Cは、試験用表示パネル側の表示電極121,131との間に形成される画素Pと接続線150を介して直列に接続されて試験電圧Eを受ける。また、かかる直列回路はアクティブマトリックス基板の走査電極30と試験用表示パネルの表示電極121とにより並列に接続されるので、この例ではアクティブマトリックス基板100側の走査電極30に沿って並ぶ行方向の各画素に対応する表示が、試験用表示パネル140側の行方向に並ぶ画素に一斉になされることになる。

これからわかるように、アクティブマトリックス基板側のある画素に断線欠陥があるときにはそれに対応する試験用表示パネル側の画素には表示

はなされず、逆に短絡欠陥があるときにはその画素に対応する試験用表示パネルの画素の表示は正常時より強くなるので、試験用表示パネル側の画素の表示の有無や強弱によってアクティブマトリックス基板側の対応画素の断線欠陥や短絡欠陥の有無を判別することができる。また上述の走査指令S1~Snによるこの例での垂直走査は1秒間に数十回程度繰り返してなされるので、目視では試験用表示パネル140の全面に表示がなされているように見え、その表示状態ないしは表示異常の分布からアクティブマトリックス基板内の欠陥数を数え、あるいは欠陥数が明らかに許容値以内か否かを一見して判定することができる。なお、試験用表示パネルの表示を欠陥の有無の判定が容易にできる平均の明るさにするため、試験電圧Eの値を例えば10~15Vの間に可調整にしておくことが望ましく、とくに短絡欠陥と断線欠陥とを非常に正確に検出したい場合には、この検出したい欠陥の種類に応じて試験電圧Eの値を切り換えようようにしておくのが有利である。

以上説明した実施例のほか、本発明方法は種々の態様で実施をすることができる。例えば、実施例では走査手段200を第1図に示したようにアクティブマトリックス基板の走査電極30と試験用表示パネルの行方向の表示電極121との間に接続するようにしたが、この走査手段200を図の接続線150のかわりに結合用基板の結合電極112と試験用表示パネルの列方向の表示電極131との間に接続し、走査電極30とそれに対応する行方向の表示電極121とを接続線150によって相互に接続するようにしてもよい。容易にわかるようにこの場合には、ある走査スイッチ対201,202が同時に閉操作されたとき、アクティブマトリックス基板側の列方向に並ぶ画素に対応する表示が試験用表示パネル側でも列方向に一斉になされる。もちろん、2組の走査手段を用いて、走査を行、列両方向に互いに同期して同時に行なうようにすることも可能である。

また、実施例では結合用基板110の結合電極112をアクティブマトリックス基板の列方向に並ぶ画

素電極10に対して共通に設けたが、これを画素電極に対応して列方向に分割するとともに、試験用表示パネル側でも表示電極131を列方向に分割して、対応する電極間を総本数は増えるがすべて接続線150により相互接続するようにしてもよい。通常はかかる必要はないが、第3図に示した直列回路間には実際には若干の横方向の容量結合が存在するので、これによってかかるいわば余分な容量結合を減少させることにより、アクティブマトリックス基板側の画素と試験用表示パネル側の画素の表示の対応関係をより鮮明にして試験精度を向上させることができる。

駆動素子についても実施例のように2端子走査手段に限らず、トランジスタ等の3端子走査手段が組み込まれるアクティブマトリックス基板の試験にも本発明方法を適用することができる。

(発明の効果)

本発明によれば、行列状に配列された画素電極のそれぞれと所定方向に並ぶ画素電極に対して共通に設けられた走査電極との間に表示駆動用に駆

動素子が接続されるアクティブマトリックス基板の試験に結合用基板を用いて、その結合電極をアクティブマトリックス基板の画素電極に容量結合するようにしたので、従来のような探針を介さずに、アクティブマトリックス基板を試験回路と無接触でかつそのすべての画素電極を同時に結合して、その画素の良否を従来よりも正確に判定するとともに、探針の移動に要していた余分な時間を一切省くことができる。また、試験用表示パネルを用いてそれに現われる表示の状態からアクティブマトリックス基板の画素の良否を判定しようとするとともに、走査手段を用いてアクティブマトリックス基板側の全画素に対応する表示が試験用表示パネル上に一齐に現われるようにしたので、本発明により試験用表示パネル面内の異常表示の分布状態からアクティブマトリックス基板の良否を一目で判定するなりその欠陥数を簡単に計数することが可能になり、従来試験に要していた時間が時間単位から秒単位にまで減少される。

本発明方法の実施に必要な結合用基板や試験用

表示パネルにはふつうの表示パネルやそれ用の基板を利用することができ、また走査手段も通常の表示パネルの駆動手段よりもむしろ簡単に構成できるので、いずれも僅少な費用で調製が可能で、しかも試験により損傷するおそれが少ないので長期間繰り返して使用が可能である。

このように、本発明方法は僅かな投資ないしは費用でアクティブマトリックス基板の試験時間を大幅に減少させ、かつその良否の判定を従来よりも正確にできる著効があり、今後アクティブマトリックス方式の表示パネルがより大形化されるとともにその真価がますます発揮され、テレビ用等の高性能表示パネルの発展と普及に貢献することが期待される。

4. 図面の簡単な説明

第1図から第3図までが本発明方法に関するもので、第1図は本発明による表示パネル用アクティブマトリックス基板の試験方法の実施に用いられる結合用基板、試験用表示パネルおよび走査手段の例をアクティブマトリックス基板と組み合わ

せた状態で示す試験回路図、第2図は結合用基板をアクティブマトリックス基板と重ね合わせた状態で示す断面図、第3図は試験の等価回路図である。第4図および第5図は駆動素子にそれぞれダイオードおよびトランジスタが用いられた本発明の実施対象であるアクティブマトリックス基板の一部を拡大して示すとともに、これに関連して従来の試験方法の要領を示すアクティブマトリックス基板の上面図である。図において、

1: アクティブマトリックス基板のガラス基板、10, 11, 12, 21, 22: 画素電極、30, 31, 32, 41, 42: 走査電極、50, 51: 駆動素子、51p, 51n: 駆動素子としての正負方向のダイオード、52: 駆動素子としてのトランジスタ、60: 可動治具、61: 探針、63: 測定装置、64: 切換スイッチ、100: アクティブマトリックス基板、110: 結合用基板、111: 結合用基板用ガラス基板、112: 結合電極、113: 誘電体膜、120: 試験用表示パネル用基板、121: 表示電極、130: 表示パネル用基板、131: 表示電極、140: 試験用表示パネル、150: 接続線、160: 下側治具、170:

上側治具、171: 結合用基板用抑え、172: ストップ、200: 走査手段、201, 202: 走査スイッチないしは電界効果トランジスタ、203, 204: 共通線、205: 切換スイッチ、206: カウンタないしは分周器、207: シフトレジスタ、210: 試験電圧源、C: 結合容量、CP: クロックパルス、CS: 切換信号、D: 結合用基板の重ね合わせ方向、E: 試験電圧、M: 結合用基板の位置調整方向、P: 試験用表示パネルの画素、SP: シフトパルス、S1~Sn: 走査指令、である。

代理人弁護士 山口 巖



